

19. Japan Patent Office (JP)
 12. Laid-open Patent Application Gazette (A)
 11. Laid-open Patent Application No. Sho 63-18654
 43. Disclosure Date: January 26, 1988

51. Int. Cl.⁴ ID Code Agency Control No.
 H 01 L 25/14 Z-7638-5F
 23/50 W-7735-5F

Number of Inventions: 1
Examination Not Requested Yet (Total 5 pages)

54. Invention Title: Electronic Device
 21. Application No. Sho 61-161894
 22. Application Date: July 11, 1986
 72. Inventor: Harushi[?] Konno, Hitachi Microcomputer Engineering, Inc., No. 1479
 Kamimizuhon-machi, Kodaira City, Tokyo
 71. Applicant: Hitachi Microcomputer Engineering, Inc., No. 1479 Kamimizuhon-
 machi, Kodaira City, Tokyo
 71. Applicant: Hitachi, Ltd., 4-6 Kanda-surugadai, Chiyoda-ku, Tokyo
 74. Representative: Katsuo Ogawa, Patent Agent, and one other

SPECIFICATION

1. TITLE OF INVENTION
 Electronic Device

2. CLAIMS

1. An electronic device that mounts a plurality of semiconductor devices, wherein a select lead pin and a plurality of dummy lead pins are provided in a respectively different specified sequence at each of said semiconductor devices, and select lead pins and pluralities of dummy lead pins of each semiconductor device having the same sequence number are electrically connected in series.

2. An electronic device according to claim 1, wherein said plurality of semiconductor devices is mounted by stacking them.

3. DETAILED EXPLANATION OF THE INVENTION

Industrial Field of Application

The present invention pertains to an electronic device that mounts a plurality of semiconductor devices; more specifically, it pertains to a technique that can be effectively applied to semiconductor chip selection technology.

Prior Art

In microcomputers, when one constitutes a large-capacity memory using a plurality of memory chips, if one attempts to use a directly connected memory chip selection terminal a plurality of memory chips is selected by the same select signal (that is, enabled).

Therefore, for example, as shown in FIG. 7 it is necessary to arrange things so that combining the polarities of memory chip select terminals CS₁, CS₂, and CS₃ does not simultaneously select a plurality of memory chips 1, 2, and 3. In order to implement this, one provides three memory chip select terminals CS₁, CS₂, and CS₃ and memory chip select lead pins CSF₁, CSF₂, and CSF₃ for the respective memory chips 1, 2, and 3 as shown in FIG. 8. Furthermore, in FIG. 7 item 6 is a chip selector and in FIG. 8 item 5 is a bonding wire.

Problems the Invention Is to Solve

Nevertheless, as the result of studying this technology, the present inventor discovered that there is a problem: in the aforesaid method one must prepare a plurality of memory chips with different mask patterns used when manufacturing memory chips.

The object of the present invention is to provide a technology that gives the semiconductor chip select terminals in a plurality of semiconductor devices the same pattern, and to make it possible to select each semiconductor chip even when their lead pins are electrically connected in series.

Another object of the present invention is to provide a technology that makes it possible to increase the packaging density of semiconductor devices.

Another object of the present invention is to provide a technology that makes it possible to increase the test efficiency of pellet inspection, etc.

The novel features and other objects of the present invention shall be clarified by this specification and the attached drawings.

Means for Solving the Problems

Of the inventions disclosed in this application, the essentials of a representative one can be simply explained as follows.

It is an electronic device that mounts a plurality of semiconductor devices, wherein a select lead pin and a plurality of dummy lead pins are provided in a respectively different specified sequence at each of the aforesaid semiconductor devices, and select lead pins and pluralities of dummy lead pins of each semiconductor device having the same sequence number are electrically connected in series.

Operation

According to the aforesaid means a select lead pin and a plurality of dummy lead pins are provided in a respectively different specified sequence at each semiconductor device, and select lead pins and pluralities of dummy lead pins of each semiconductor device having the same sequence number are electrically connected in series, so the semiconductor chip select terminals for a plurality of semiconductor devices can be given the same pattern, and each semiconductor chip can be selected even though the respective lead pins are electrically connected in series.

Embodiment of the Invention

Below, we shall explain an embodiment of the present invention in detail using drawings.

Furthermore, in all of the drawings items with the same function are assigned the same codes, and repetitive explanation thereof is omitted.

Embodiment I

FIG. 1 is a drawing for explaining the connection of select terminals for each semiconductor chip in an electronic device mounting a plurality of semiconductor devices in Embodiment I of the present invention.

FIG. 2 is a plan view showing the general structure of the electrode of a semiconductor chip in each semiconductor device of Embodiment I.

FIG. 3 is a plan view showing the general structure of one embodiment of a lead frame electrically connected to the select electrode of each semiconductor chip shown in FIG. 1.

FIGS. 4 are plan views showing the structure of the select lead part of each semiconductor device of the lead frame shown in FIG. 2.

The plurality of semiconductor devices housed in the electronic device of Embodiment I consists of semiconductor chips, each with one chip select electrode CS having the same pattern as shown in FIG. 2. Also, each semiconductor device 11~14 is provided with a chip select lead pin CSF₁~CSF₄ and a plurality of dummy lead pins NC, provided in a respectively different specified sequence as shown in FIG. 1 and electrically respectively connected by bonding wires 5 to the chip select electrodes CS₁~CS₄ (=CS) of the respective semiconductor chips 1~4; chip select lead pins CSF₁~CSF₄ and the pluralities of dummy lead pins NC having the same sequence number are electrically connected in series.

The pre-assembly lead frame of the aforesaid semiconductor device 11 is provided with a chip select lead CSF₁ and a plurality of dummy lead pins NC in the respective specified sequence, as shown in FIG. 3 (TAB is a tab). Also, other pre-assembly lead frames 15 other than that of the aforesaid semiconductor device 11 are provided with respective chip select lead pins CFS₂, CFS₃, CFS₄, and a plurality of dummy lead pins NC in a respectively different specified sequence as shown in FIG. 4(A), (B), and (C).

Semiconductor devices 11~14 are assembled using this sort of lead frame 15, and are stacked as shown in FIG. 5 (an oblique view of this embodiment's electronic device), and the respective chip select lead pins CSF₁~CSF₄ and the pluralities of dummy lead pins NC with the same position number are electrically connected in series.

The operation for selecting a plurality of semiconductor devices is as shown in FIG. 1 and FIG. 5. When a chip select signal CSS, for example, the signal 0001 is input, the semiconductor device 11 is selected. Similarly, when the signal 0010 is input the semiconductor device 12 is selected, when the signal 0100 is input the semiconductor device 13 is selected, and when the signal 1000 is input the semiconductor device 14 is selected.

As described above, a chip select circuit is constituted by providing chip select lead pins CSF₁~CSF₄ and dummy lead pins NC for semiconductor devices 11~14 at a respectively different specified sequence, so the select electrodes CS₁~CS₄ for each semiconductor chip of the plurality of semiconductor devices 11~14 have the same

pattern CS, and each semiconductor device 11~14 can be selected through a simple constitution even when the respective chip select lead pins $CSF_1 \sim CSF_4$ are electrically connected in series by the bonding wire 5. As a result it is not necessary to prepare a plurality of semiconductor chips with different mask patterns used when manufacturing a semiconductor chip.

Also, stacking the semiconductor devices 11~14 makes it possible to increase the packaging density.

Doing pellet inspection under prior art required preparing four types of test programs, but as a result [of the present invention] in this embodiment one type of test program is sufficient, so the efficiency of pellet inspection can be increased.

In the foregoing the present invention was explained in detail based on an embodiment, but the present invention is not limited to the aforesaid embodiment; it goes without saying that various modifications are possible without departing from its essence.

For example, the pattern of the lead frame 15 was shaped as shown in FIG. 3 in the aforesaid embodiment, but as shown in FIG. 6 it is also possible to provide a chip select lead frame CSF_0 , to provide dummy lead pins NC and chip select lead pin CSF_1 as separate patterns, and during assembly to electrically connect the aforesaid chip select lead frame CSF_0 and chip select lead pin CSF_1 by the bonding wire 5, for example.

Also, in the aforesaid embodiment there was one select electrode for a semiconductor chip, but even more semiconductor devices can be stacked with two or more.

Effect of the Invention

The effects obtained through a representative example of the present invention disclosed in this specification can be simply explained as follows.

(1) A chip select lead pin and a plurality of dummy lead pins are provided in a respectively different specified sequence at each semiconductor device, and select lead pins and pluralities of dummy lead pins of each semiconductor device having the same sequence number are electrically connected in series, so the semiconductor chip select electrodes for a plurality of semiconductor devices can be given the same pattern, and each semiconductor device can be accurately selected by a chip select signal even though the respective select terminals are electrically connected in series. As a result it is not necessary to prepare a plurality of semiconductor chips with different mask patterns used when manufacturing a semiconductor chip.

(2) Also, stacking the plurality of semiconductor devices makes it possible to increase the packaging density.

(3) Doing pellet inspection under prior art required preparing four types of test programs, but as a result of the aforesaid (2) in this embodiment one type of test program is sufficient, so the efficiency of pellet inspection can be increased.

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a drawing for explaining the connection of select terminals for each semiconductor chip in an electronic device mounting a plurality of semiconductor devices in one embodiment of the present invention.

FIG. 2 is a plan view showing the general structure of the electrode of a semiconductor chip in each semiconductor device of this embodiment.

FIG. 3 is a plan view showing the general structure of one embodiment of a lead frame electrically connected to the select electrode of each semiconductor chip shown in FIG. 1.

FIGS. 4(A)~(C) show plan views of the structure of the select lead part of each semiconductor device of the lead frame shown in FIG. 2.

FIG. 5 is an oblique view showing the exterior of an electronic device mounting a plurality of semiconductor devices in this embodiment.

FIG. 6 is a plan view showing the structure of another embodiment of this embodiment's lead frame.

FIG. 7 and FIG. 8 are drawings for explaining the problems of conventional electronic devices mounting a plurality of semiconductor devices.

In the drawings, 1~4 are semiconductor chips, 5 is a bonding wire, 6 is a chip selector, CS, CS₁~CS₄ are chip select electrodes, CSF₀ is a chip select lead frame, CSF₁~CSF₄ are chip select lead pins, NC is a dummy lead pin, CSS is a chip select signal, 11~14 are semiconductor devices, and 15 is lead frame.

Representative: Katsuo Ogawa, Patent Agent

FIG. 1

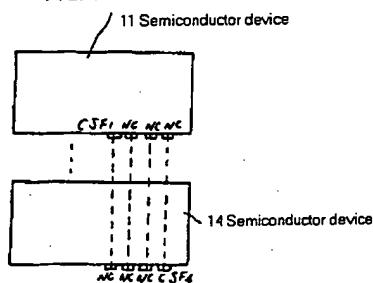


FIG. 2

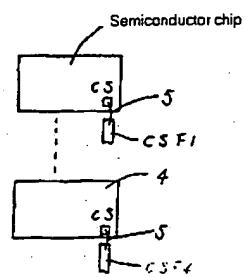


FIG. 5

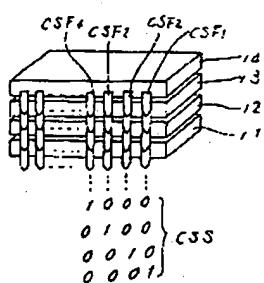


FIG. 6

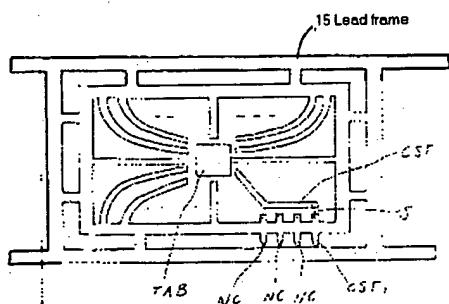


FIG. 3

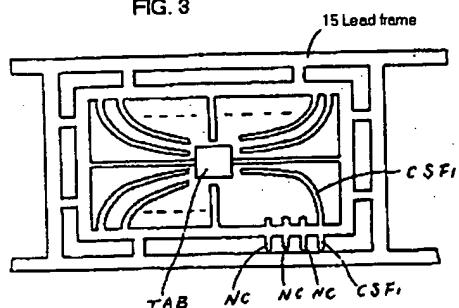


FIG. 4

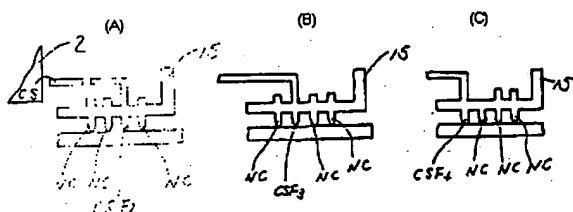


FIG. 7

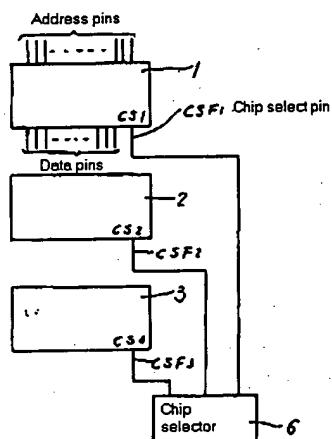
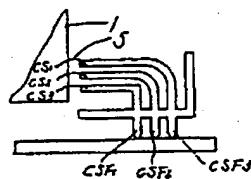


FIG. 8



⑫ 公開特許公報 (A)

昭63-18654

⑩ Int.CI.

H. 01 L 25/14
23/50

識別記号

府内整理番号

Z-7638-5F
W-7735-5F

⑪ 公開 昭和63年(1988)1月26日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 電子装置

⑭ 特願 昭61-161894

⑮ 出願 昭61(1986)7月11日

⑯ 発明者 紺野 晴嗣 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑰ 出願人 日立マイクロコンピュータエンジニアリング

東京都小平市上水本町1479番地

⑲ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称 電子装置

2. 特許請求の範囲

1. 複数の半導体装置を搭載する電子装置であつて、前記各半導体装置にセレクト用リードピンと複数のダミーリードピンがそれぞれ異なる所定の順序で設けられ、該各半導体装置のセレクト用リードピンと複数のダミーリードピンの同じ順番番号のもの同士が電気的に直列に接続されて成ることを特徴とする電子装置。

2. 前記複数の半導体装置は、それぞれ積み重ね合されて搭載されていることを特徴とする特許請求の範囲第1項に記載の電子装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の半導体装置が搭載される電子装置に関し、特に、半導体チップのセレクト技術に適用して有効な技術に関するものである。

〔従来技術〕

マイクロコンピュータ等において、複数のメモ

リチップを用いて大容量のメモリを構成する場合、メモリチップセレクト端子を直結して使用しようとすると、同一セレクト信号で複数のメモリチップが選択されてしまう（すなわち、イネーブルになってしまう）。

そこで、例えば、第7図に示すように、メモリチップセレクト端子CS₁、CS₂、CS₃の極性を組合せて複数のメモリチップ1、2、3が同時に選択されないように構成されることが必要である。これを実現するために、それぞれのメモリチップ1、2、3に、第8図に示すような3個のメモリチップセレクト電極CS₁、CS₂、CS₃及びメモリチップセレクト用リードピンCSF₁、CSF₂、CSF₃が設けられる。なお、第7図において、6はチップセレクタであり、第8図において、5はポンディングワイヤである。

〔発明が解決しようとする問題点〕

しかしながら、本発明者は、かかる技術を検討した結果、前記の手法では、メモリチップの製造時に用いられるマスクのパターンが異なる複数の

メモリチップを用意しなければならないという問題点を見出した。

本発明の目的は、複数の半導体装置の半導体チップのセレクト端子を同一パターンに構成し、それぞれのリードピンを電気的に直列に接続しても各半導体チップをセレクトすることができる技術を提供することにある。

本発明の他の目的は、半導体装置の実装密度を向上することができる技術を提供することにある。

本発明の他の目的は、ペレット検査等のテスト効率を向上することができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

複数の半導体装置を搭載する電子装置であって、

同一符号を付け、その繰り返しの説明は省略する。

〔実施例1〕

第1図は、本発明の実施例1の複数の半導体チップを搭載した電子装置の各半導体チップのセレクト端子の接続を説明するための説明図。

第2図は、本実施例1の各半導体装置の半導体チップの電極の概略構成を示す平面図。

第3図は、第1図に示す各半導体チップのセレクト電極に電気的に接続されるリードフレームの一実施例の概略構成を示す平面図。

第4図は、第2図に示すリードフレームの各半導体チップのセレクトリード部分の構成を示す平面図である。

本実施例1の電子装置に搭載された複数の半導体装置は、第2図に示すような同一パターンのチップセレクト電極CSをそれぞれ1個設けた半導体チップからなっている。そして、各半導体装置11～14は、それぞれの半導体チップ1～4のチップセレクト電極CS₁～CS₄(=CS)にそれぞれポンディグワイヤ5で電気的に接続されて

前記各半導体装置にセレクト用リードピンと複数のダミーリードピンがそれぞれ異なる所定の順序で設けられ、該各半導体装置のセレクト用リードピンと複数のダミーリードピンの同じ順番番号のもの同士が電気的に直列に接続されたものである。

〔作用〕

前記した手段によれば、各半導体装置にセレクト用リードピンと複数のダミーリードピンをそれぞれ異なる所定の順序で設け、これらの各半導体装置のセレクト用リードピンと複数のダミーリードピンの同じ順番番号のもの同士を電気的に直列に接続するので、複数の半導体装置の半導体チップのセレクト端子を同一パターンに構成し、それぞれのリードピンを電気的に直列に接続しても各半導体チップをセレクトすることができるものである。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて具体的に説明する。

なお、全図において、同一機能を有するものは

いるチップセレクト用リードピンCSF₁～CSF₄と複数のダミーリードピンNCが、第1図に示すように、それぞれ異なる所定の順序で設けられ、チップセレクト用リードピンCSF₁～CSF₄と複数のダミーリードピンNCの同じ順番番号のもの同士が電気的に直列に接続されたものである。

前記半導体装置11の組立前のリードフレームは、第3図(TABはタブである)に示すように、チップセレクト用リードピンCSF₁と複数のダミーリードピンNCをそれぞれ所定の順序で設けたものである。また、前記半導体装置11以外の組立前のリードフレーム15は、それぞれ第4図の(A)、(B)及び(C)に示すように、それぞれチップセレクト用リードピンCSF₁、CSF₂、CSF₃、CSF₄と複数のダミーリードピンNCをそれぞれ異なる所定の順序で設けたものである。

このようなリードフレーム15を用いて半導体装置11～14を組立て、第5図(本実施例の電子装置の斜視図)に示すように、積み重ねて、そ

それぞれチップセレクト用リードピン $C S F_1 \sim C S F_n$ と複数のダミーリードピン $N C$ の同一位置の番号のもの同士が電気的に直列に接続される。

そして、複数の半導体装置の選択動作は、第1図及び第5図に示すように、チップセレクト信号 $C S S$ 、例えば、0001の信号が入力されると、半導体装置11が選択される。同様にして、0010の信号が入力されると、半導体装置12が、0100の信号が入力されると、半導体装置13が、1000の信号が入力されると、半導体装置14がそれぞれ選択される。

前述のように、半導体装置11～14のチップセレクト用リードピン $C S F_1 \sim C S F_n$ とダミーリードピン $N C$ がそれぞれ異なる所定の順序で設けられたチップセレクト回路を構成することにより、複数の半導体装置11～14の各半導体チップのセレクト電極 $C S_1 \sim C S_n$ を同一パターン $C S$ に構成し、それぞれのチップセレクト用リードピン $C S F_1 \sim C S F_n$ をポンディングワイヤ5で電気的に直列に接続しても、簡単な構成で各半導

体装置11～14を選択することができる。これにより、半導体チップの製造時に用いられるマスクのパターンが異なる複数の半導体チップを用意する必要がない。

また、半導体装置11～14を積み重ねることにより、実装密度を向上することができる。

これにより、ペレット検査を行う場合、従来は4種類のテストプログラムを用意する必要があったが、本実施例では1種類のテストプログラムでよいので、ペレット検査の効率を向上することができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変形可能であることはいうまでもない。

例えば、前記実施例では、リードフレーム15のパターンを第3図に示すような形状にしたが、第6図に示すように、チップセレクト用リードフレーム $C S F$ を設け、ダミーリードピン $N C$ 及びチップセレクト用リードピン $C S F$ を別バタ

ーンで設け、組立時に前記チップセレクト用リードフレーム $C S F$ とチップセレクト用リードピン $C S F$ とを、例えばポンディングワイヤ5で電気的に接続してもよい。

また、前記実施例では、半導体チップのセレクト電極を1個にしたが、2個以上にしてさらに多数の半導体装置を積み重ねることもできる。

[発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 各半導体装置にチップセレクト用リードピンと複数のダミーリードピンをそれぞれ異なる所定の順序で設け、これらの各半導体装置のチップセレクト用リードピンと複数のダミーリードピンの同じ順番番号のもの同士を電気的に直列に接続することにより、複数の半導体装置の半導体チップのセレクト電極を同一パターンに構成し、それぞれのセレクト端子を電気的に直列に接続しても、各半導体装置をチップセレクト信号により正確に

選択することができる。これにより、半導体チップの製造時に用いられるマスクのパターンが異なる複数の半導体チップを用意する必要がない。

(2) 複数の半導体装置を積み合ねることにより、実装密度を向上することができる。

(3) 前記(2)により、ペレット検査を行う場合、従来は4種類のテストプログラムを用意する必要があったが、本実施例では1種類のテストプログラムでよいので、ペレット検査の効率を向上することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例の複数の半導体装置を実装した電子装置の各半導体チップのセレクト端子の接続を説明するための説明図。

第2図は、本実施例の各半導体装置の半導体チップの電極の概略構成を示す平面図。

第3図は、第1図に示す各半導体チップのセレクト電極に電気的に接続されるリードフレームの一実施例の概略構成を示す平面図。

(a)～(c)
第4図は、第2図に示すリードフレームの各半

導体装置のセレクトリード部分の構成を示す平面図。

第5図は、本実施例の複数の半導体装置を実装した電子装置の外観を示す斜視図。

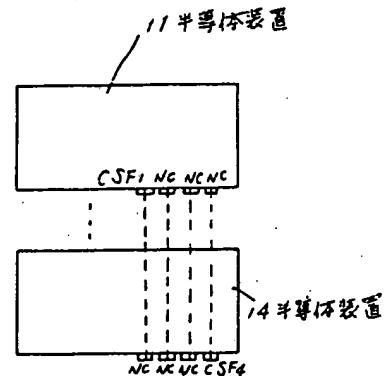
第6図は、本実施例のリードフレームの他の実施例の構成を示す平面図。

第7図及び第8図は、従来の複数の半導体装置を実装した電子装置の問題点を説明するための図である。

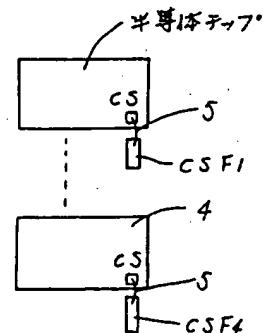
図中、1～4…半導体チップ、5…ポンディングワイヤ、6…チップセレクタ、CS、CS₁～CS₄…チップセレクト電極、CSF₁～CSF₄…チップセレクト用リードフレーム、CSF₁～CSF₄…チップセレクト用リードピン、NC…ダミーリードピン、CSS…チップセレクト信号、11～14…半導体装置、15…リードフレームである。

代理人 弁理士 小川勝男

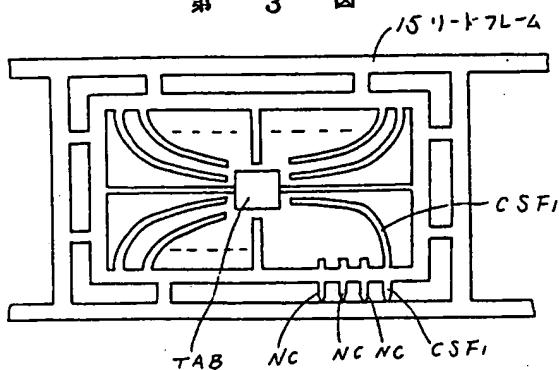
第1図



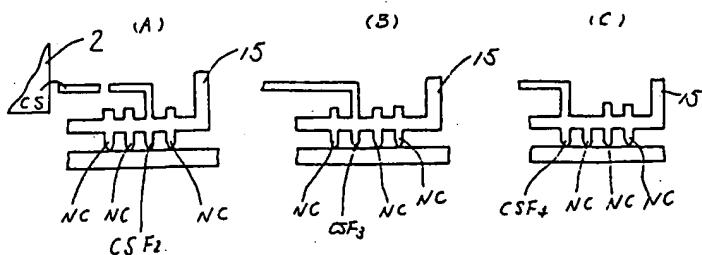
第2図



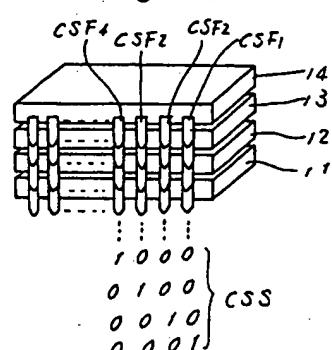
第3図



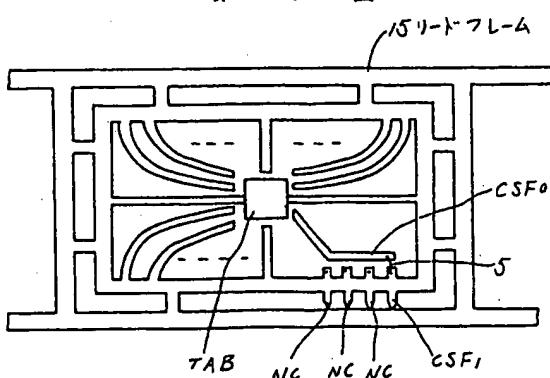
第4図



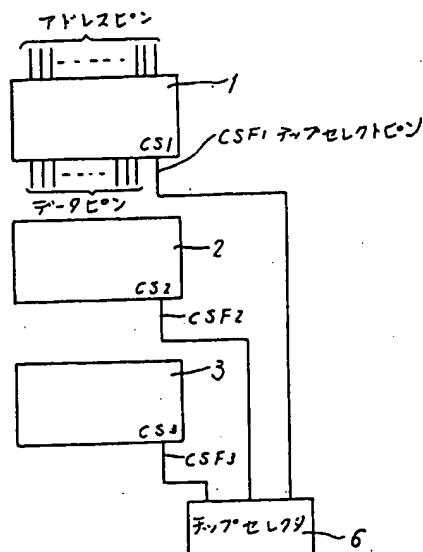
第5図



第6図



第 7 図



第 8 図

